

JAPANESE PATENT OFFICE

Patent OFFICIAL GAZETTE

(Published for the purpose of Opposition)

Publication No: 51-12507

Publication Date: April 20, 1976

No. of the Inventions Claimed: 1

---

Title: METHOD FOR MANUFACTURING A SILICON GATE  
TYPE SEMICONDUCTOR DEVICE

Appln. No: 46-83293

Appln. Date: October 22, 1971

Laid-open Pub. No: 48-49382

Laid-open Pub. Date: July 12, 1973

XXXXXXXXXXXXXXXXXXXX

Inventor: Seiichi IWAMATSU

Applicant: Hitachi

Note:

AO

Explanation of Reference Numerals in  
Pat. Post-exam Pub. No. 51-12507

- 1: Si substrate
- 2: oxide film
- 2a: oxide film
- 3: polycrystalline Si layer
- 3': silicon gate
- 3a: sharp edge
- 3b: broken piece
- 4: source
- 5: drain
- 5': thermal oxide film
- 6: oxide film formed by the third oxidation
- 7:  $\text{SiO}_2$  film formed by a CVD method
- 8: Al electrode

⑤ Int. Cl.<sup>2</sup>  
H 01 L 29/78  
H 01 L 21/31

⑥ 日本分類  
99(5) E 3  
99(5) C 23

⑦ 日本国特許庁

⑧ 特許出願公告

昭51-12507

# 特 許 公 報

⑨ 公告 昭和51年(1976)4月20日

庁内整理番号 6426-57

発明の致 1

(全 4 頁)

1

⑩ シリコンゲート型半導体装置の製造方法

⑪ 特 願 昭 46-83293

⑫ 出 願 昭 46(1971)10月22日

公 開 昭 48-49382

⑬ 昭 48(1973)7月12日

⑭ 発 明 者 岩松 威一

小平市上水本町1450株式会社

日立製作所武蔵工場内

⑮ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1の5の1

⑯ 代 理 人 弁理士 小川勝男

⑰ 特許請求の範囲

1 シリコン基板1上に絶縁被膜2aおよびシリコン層からなるゲート部を形成し、このゲート部に接続する基板1上にソース、ドレイン各拡散領域4, 5を形成したのち、ゲート、ソースおよびドレインを覆うように外部よりシリコン酸化膜を被着させるシリコンゲート型半導体装置の製造方法において、上記基板1上にソース、ドレイン領域4, 5を形成後、上記シリコン基板1およびシリコンゲート表面に熱酸化による酸化膜6を形成し、該酸化膜6を介して全面に外部より生成したシリコン酸化膜7を被着させることを特徴とするシリコンゲート型半導体装置の製造方法。

発明の詳細な説明

本発明はシリコンゲート型半導体装置の製造方法に関するものである。

シリコンゲート型半導体装置例えばMIS型電界効果半導体装置はゲート電極にシリコン(Si)を使用し、二酸化シリコン等の絶縁膜を介して半導体基板上に形成するもので、アルミニウム(Al)等の金属をゲートとする一般のMIS型電界効果トランジスタに比較して電圧値を低くでき、消費電力が小さい等電気的特性に優れ、信頼性も高いことから最近多く採用されている。

2

上記Siゲート型MIS型電界効果半導体装置(以下MISFETと称する)の製造方法は、単結晶Si基板上にその酸化膜を形成し、該酸化膜上に多結晶Siの層を成長させ、ゲートとなる所定部分を残して上記酸化膜およびSi層の一部をエッチングしてSi基板の一部を露出させた後、不純物拡散して該基板上にソース、ドレイン領域を形成し、次に気相化学反応により生成したSiO<sub>2</sub>膜(以下CVD膜と称する)を表面全面に形成したのち、不必要なこのCVD膜をエッチングした後金属蒸着により上記ゲートおよびソース、ドレイン各領域に対し電極配線するのが最も一般的である。

ところで上記製造方法によると、ソース、ドレイン各領域拡散の前になされるエッチング工程に於いて、多結晶Si層下の酸化膜がサンドエッチングされるという現象が生じた。すなわち第1図に示すようにSi基板1上において多結晶Si層3および酸化膜2の側面部上縁が深くエッチングされて鋭角状破片3aが形成されるため、後の工程でSi破片が微塵等により点線で示すように崩れて破砕片3bとなり、しかも下側の酸化膜2の厚さは約0.1μと極めて薄いためゲートと基板とが短絡するといえおそれがあった。

また、上記した従来の製造方法によればソース、ドレイン各領域形成後にCVD方法により形成される酸化膜と最初の熱酸化により形成されたゲート酸化膜2側面との間に空隙を生じてこれが絶縁不良の原因となり、さらに上記CVD酸化膜は多孔性(porous)で、ピンホール等が生じ易く、その上にアルミニウム配線を形成した場合に特にSiゲートの段差部に於いて確実に絶縁性を保持することは困難であつた。

このような半導体装置製造工程における絶縁不良によつて半導体製品の不良率を高め製造価格の低減が困難となる大きな原因となつていた。

従つて本発明は、SiゲートMISFETの製

造に於いて、Si ゲートの絶縁性を保持して不良率を低減し、信頼性の高い高品質の半導体装置を提供することを目的とする。

上記目的を達成するため本発明は、Si ゲート型半導体装置の製造にあつて、半導体基板上に酸化膜およびSi からなるゲートを形成し、該ゲートに隣接する基板上にソース、ドレイン拡散領域を形成した後、Si 基板および上記Si ゲート表面に熱酸化による酸化膜を形成し、該酸化膜を介して全面にCVD法による酸化膜を形成することを特徴とする。

このようにCVD酸化膜形成前に熱酸化することにより、Si ゲート縁片やその破片をち密なシリコン酸化膜に変え、同時にSi ゲート、ソース、ドレイン表面をち密な酸化膜で覆うことになり、次のCVD工程で形成される多孔質性の酸化膜の不完全な絶縁性をも補うことになりSi ゲートの絶縁性を確実に保持する効果をもたらすのである。

以下本発明を実施例により説明する。

第2図はSi ゲートMISFETを製造する場合の態様を工程順に示すものである。

- (a) N型Si 半導体基板1 (厚250 $\mu$ 、2~4 $\Omega$ m) を約1200℃の酸化雰囲気中にて加熱することにより約0.5 $\mu$ の酸化膜2を形成する(1次酸化)
- (b) 能動領域すなわちソース、ドレイン、ゲートとなる部分の上記酸化膜2をフォトリソングにより除去する。
- (c) 基板1を再び約1200℃の酸化雰囲気中にて加熱し、上記除去部分に約0.1 $\mu$ の熱酸化膜2aを形成する。(2次酸化)
- (d) 基板1上の酸化膜2全面にSi のハロゲン化合物と水素との反応により、Si を成長させて多結晶Si 層3 (厚さ1 $\mu$ )を形成する。
- (e) 基板1上の酸化膜2a およびこの上の多結晶Si 層3のソース、ドレインとなるべき部分をフォトリソングにより除去して基板1を露出

させると共に、Si ゲート3'部を形成する。

- (f) P型不純物例えばほう素を基板1露出部に拡散して基板1上にソース4およびドレイン5の各領域を形成する。

- (g) 半導体基板1を酸化雰囲気中にて1100℃に加熱して0.1 $\mu$ の熱酸化膜6を形成する。

上記加熱温度を1100℃と比較的低くしたのは、ソース4、ドレイン5領域が形成された後であるため、それへの影響を少なくするためである。(第3次酸化)

- (h) 半導体基板1表面にCVD法例えばモノシラン( $\text{SiH}_4$ )の低温酸化等により $\text{SiO}_2$ 膜7 (0.5 $\mu$ )を形成する。

- (i) 電極形成部分の $\text{SiO}_2$ 膜7をフォトリソングにより除去し、次いでAlを真空蒸着により形成し、フォトリソングにより不必要部分を除去し、ゲートG、ソースS、およびドレインDの各電極を形成して素子を完成する。

このように形成された半導体装置においては、

- (g) 工程で述べたようにSi ゲートを含むSi 基板表面に密度の高い熱生成酸化膜6を形成し、この後(h)工程でCVD酸化膜7を形成するから、エッチングの際Si ゲート部が崩れるようなことはなくなりSi ゲート周辺や基板の表面絶縁性を向上させることになった。

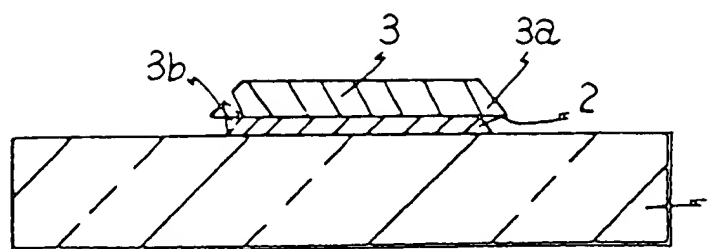
以上実施例で述べたように本発明により絶縁性が良好で信頼性の高いSi ゲート型半導体装置を提供することができるようになった。

#### 図面の簡単な説明

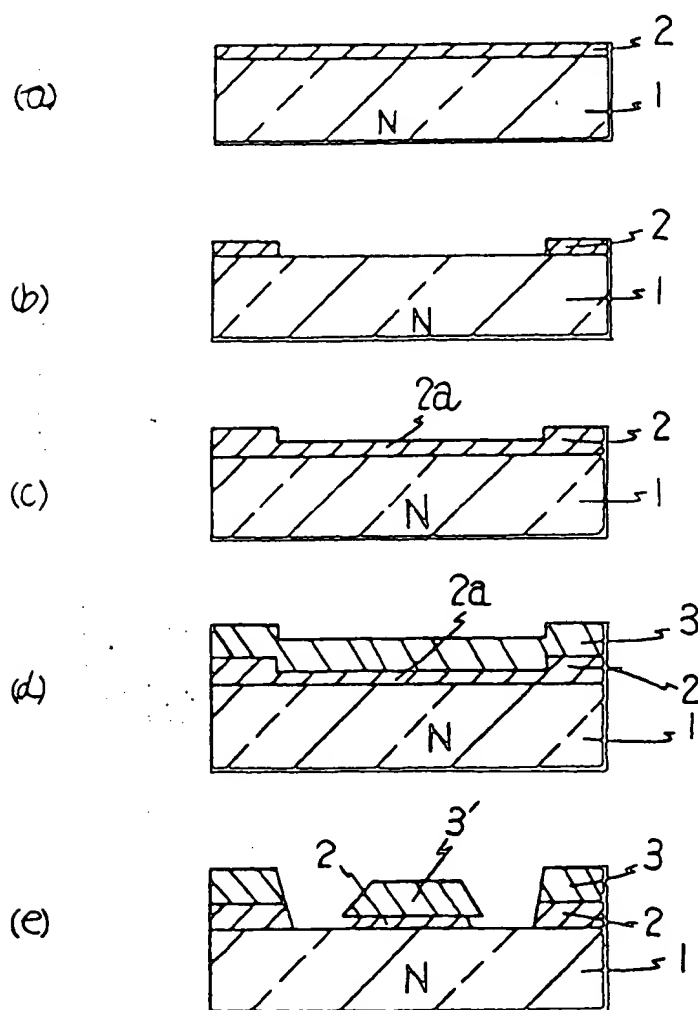
第1図はエッチングにより形成されるシリコン、絶縁酸化膜との状態を示す断面図、第2図は本発明の実施例を工程順に示す断面図である。

1……半導体基板、2……酸化膜、3……多結晶シリコン層、3'……シリコン・ゲート、4……ソース、5……ドレイン、6……第3次酸化により形成された酸化膜、7……CVD法により形成された酸化膜、8……アルミニウム電極。

第 1 图

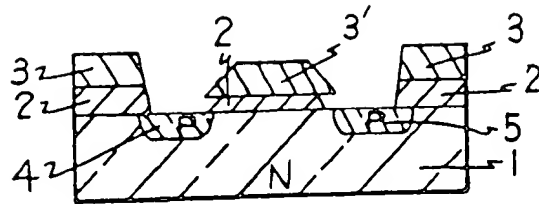


第 2 图

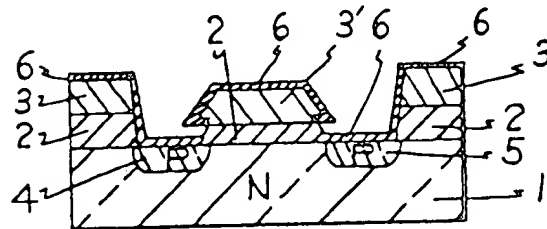


## 第 2 圖

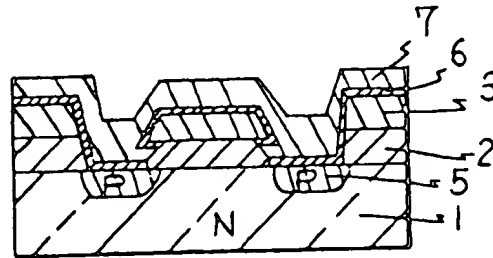
(f)



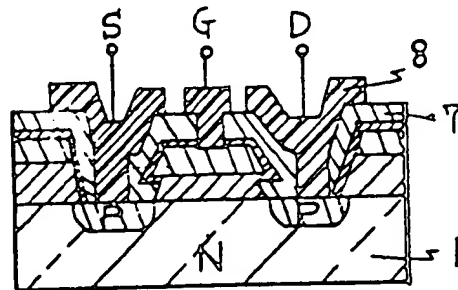
(g)



(h)



(i)



昭和46年特許願第83293号(特公昭51-12507号、昭51.4.20発行の特許公報6(1)-41(492)号掲載)については特許法第64条の規定による補正があつたので下記のとおり掲載する。

—特許第875400号—

99(5)E3  
99(5)C23

# 記

1 「特許請求の範囲」の項を「1 シリコン基板1上に絶縁被膜2aおよびシリコン層からなるゲート部を形成し、このゲート部をマスクとして上記絶縁被膜にエッチングにより開口部を設け、この開口部を通してこのゲート部に隣接する基板1上にソース、ドレイン各拡散領域4,5を形成したのち、ゲート、ソースおよびドレインを覆うように外部よりシリコン酸化膜を被覆させるシリコンゲート型半導体装置の製造方法において、上記基板1上にソース、ドレイン領域4,5を形成後、少なくとも上記開口部形成時の絶縁被膜のサイドエッチングによつて生ずる上記シリコンゲートの縁片部を酸化する程度に上記シリコン基板1およびシリコンゲート表面に熱酸化による酸化膜6を形成し、該酸化膜6を介して全面に外部よりシリコン酸化膜7を被覆させることを特徴とするシリコンゲート型半導体装置の製造方法。」と補正する。

2 第3欄4行~11行「上記目的を達成する……形成することを特徴とする」を「上記目的を達成するため本発明は、Siゲート型半導体装置の製造にあつて、半導体基板上に酸化膜およびSiからなるゲートを形成し、このゲートをマスクとしてエッチングにより上記酸化膜に開口部を設け、この開口部を通して上記ゲートに隣接する基板上にソース、ドレイン拡散領域を形成した後、少なくとも上記開口部形成時の酸化膜のサイドエッチングによつて生ずる上記Siゲートの縁片部を酸化する程度にSi基板および上記Siゲート表面に熱酸化による酸化膜を形成し、該酸化膜を介して全面にCVD法による酸化膜を形成することを特徴とする。」と補正する。

昭和44年特許願第98208号(特公昭49-44285号、昭49.11.27発行の特許公報6(1)-126(295)号掲載)については特許法第64条の規定による補正があつたので下記のとおり掲載する。

—特許第875534号—

96(7)C81  
59 G 21  
110 K 12  
110 D 31

# 記

1 「特許請求の範囲」の項を「1 陰極線管のX軸及びY軸に互に略々90°位相の異なる正弦波を夫々可変利得増巾器を通じて供給し、陰極線管の管面上に円形輝線を描く機になすと共に該正弦波と同期する鋸歯状波を形成し、該鋸歯状波をチューナに供給しチューナの同調周波数をスイープし、上記円形輝線の円周を受信周波数に対応せしめる機になし、受信信号の一部を上記可変利得増巾器に供給する機にしてその増巾度を可変せしめ上記円形輝線の円周上に放射状の受信周波数位置表示をする機にし、返局用プリセット電圧を上記チューナにスイッチ手段により切替印加するようになし、上記鋸歯状波と返局用プリセット電圧のレベルが一致したとき生じる出力を上記受信信号の一部に代えて上記可変利得増巾器に供給してその増巾度を可変せしめ、上記円形輝線の円周上に放射状の受信同調周波数位置を表示しうるようにした受信周波数表示装置。」と補正する。

Japanese Kokoku Patent No. Sho 51[1976]-12507

---

Translated from Japanese by the Ralph McElroy Co., Custom Division  
P. O. Box 4828, Austin, Texas 78765 USA



Code: 179-13755

JAPANESE PATENT OFFICE  
PATENT JOURNAL

KOKOKU PATENT NO. SHO 51[1976]-12507

Int. Cl. <sup>2</sup> :	H 01 L 29/78 H 01 L 21/31
Japanese Cl.:	99 (5) E 3 99 (5) C 23
Sequence Nos. for Office Use:	6426-57
Application No.:	Sho 46[1971]-83293
Application Date:	October 22, 1971
Kokai No.:	Sho 48[1973]-49382
Kokai Date:	July 12, 1973
Publication Date:	April 20, 1976
No. of Inventions:	1 (Total of 4 pages)

## MANUFACTURING METHOD OF SILICON GATE SEMICONDUCTOR DEVICE

Inventor:	Seiichi Iwamatsu Musashi Works, Hitachi Ltd. 1450 Kamimizuhon-cho, Kodaira-shi
Applicant:	Hitachi Ltd. 1-5-1 Marunouchi, Chiyoda-ku, Tokyo

Agent:

Katsuo Ogawa,  
patent attorney

[Amendments have been incorporated into the text.]

Claim

A manufacturing method of silicon gate semiconductor device characterized by the following facts: a gate portion made of insulating film (2a) and silicon layer is formed on silicon substrate (1); with this gate portion used as a mask, opening portion is formed by etching on the aforementioned insulating film; through this opening portion, source and drain diffusion regions (4), (5) are formed on substrate (1) adjacent to the gate portion; then, a silicon oxide film is coated from the exterior to cover the gate, source and drain for the silicon gate semiconductor device; in this manufacturing method, after source and drain regions (4), (5) are formed on said substrate (1), an oxide film (6) is formed by thermal oxidation on the aforementioned silicon substrate (1) and silicon gate surface in a degree sufficient to ensure at least oxidation of the edge of the aforementioned silicon gate formed by side etching of the insulating film when the aforementioned opening portion is formed; via this oxide film (6), silicon oxide film (7) formed from the exterior is coated.

### Detailed explanation of the invention

This invention concerns a manufacturing method of a silicon gate semiconductor device.

For the silicon gate semiconductor device, such as the MIS field-effect semiconductor device, silicon (Si) is used as the gate electrode, and it is formed on the semiconductor substrate via silicon dioxide or other insulating film. Compared with the conventional type of MIS field-effect transistor using aluminum (Al), etc., as the gate material, the voltage can be reduced, the power consumption can be decreased, and the other electrical characteristics are excellent, and the reliability is high. Consequently, this type of semiconductor device has been adopted in more and more cases recently.

The most commonly adopted manufacturing method of the aforementioned Si gate MIS field-effect semiconductor device (referred to as MIS FET hereinafter) is as follows: silicon oxide film is formed on a single crystal Si substrate; a polysilicon layer is grown on this oxide film; except the prescribed portion for the gate, the aforementioned oxide film and a portion of the Si layer are etched to expose a portion of the Si substrate; then, impurity diffusion is carried out to form the source and drain regions on the aforementioned substrate, followed by coating a  $\text{SiO}_2$  film by chemical vapor deposition method (referred to as CVD film hereinafter) on the entire surface. Then, after the undesired portion of the CVD film is etched off, metal is evaporated to form electrode wiring for the various regions of gate, source and drain.

However, in the aforementioned manufacturing method, in the etching operation performed before diffusion of the source and drain regions, the phenomenon of sand [sic; side] etching of the oxide film beneath the polysilicon layer takes place. That is, as shown in Figure 1, on substrate (1), the upper edges of the side surface portions of polysilicon layer (3) and oxide film (2) are deeply etched to form acute angle shaped edges (3a); hence, in the later operation stages, the Si edges may be broken under impact to form debris (3b); in addition, as the thickness of lower side oxide film (2) is as small, about  $0.1\text{ }\mu\text{m}$ , short-circuiting may take place between the gate and substrate.

In addition, in the aforementioned manufacturing method, after the source and drain regions are formed, a void is developed between the oxide film formed using the CVD method and the side surface of gate oxide film (2) formed in the initial thermal oxidation, and this void may cause problems in insulation. In addition, for the aforementioned CVD oxide film, as it is porous, pinholes may develop easily; as a result, it is very difficult to maintain a reliable insulating property when the aluminum wiring is to be formed on the aforementioned film, in particular, for the step portion of the Si gate.

Consequently, in the conventional manufacturing method of semiconductor devices, poor insulation leads to increase in the defective rate of the semiconductor products, and it is thus difficult to cut the cost of manufacturing.

The purpose of this invention is to solve the aforementioned problems of conventional methods by providing a manufacturing method of Si gate MIS FET characterized by the fact that the insulating property of the Si gate can be maintained, the

defective rate can be reduced, and the reliability and quality of the semiconductor device can be improved.

In order to realize the aforementioned purpose, this invention provides a type of manufacturing method of Si gate semiconductor device characterized by the following facts: after a gate made of oxide film and Si is formed on a semiconductor substrate, opening portions are formed by etching on the aforementioned oxide film with the aforementioned gate used as a mask, and the source and drain diffusion regions are formed on the substrate adjacent to the gate through the aforementioned opening portions, an oxide film is formed by thermal oxidation on the surface of the Si substrate and the aforementioned Si gate to a degree which at least ensures oxidation of the Si gate edge formed due to side etching of the oxide film when the aforementioned opening portions are formed, and a CVD oxide film is formed on the entire surface via this oxide film.

In this method, by performing thermal oxidation before formation of the CVD oxide film, the Si gate edge and its debris are transformed to a fine silicon oxide film; at the same time, a fine oxide film is coated on the surface of Si gate, source and drain; in this way, the imperfect insulating property of the porous oxide film formed in the next CVD operation stage can be supplemented, and the insulating property of the Si gate can be maintained reliably.

In the following, this invention will be explained with reference to application examples.

Figure 2 illustrates the manufacturing procedure of a Si gate MIS FET.

(a) An N-type Si semiconductor substrate (1) (with a thickness of  $250\text{ }\mu\text{m}$ , [and a resistivity of]  $2\text{--}4\text{ }\Omega\text{-cm}$ ) is heated in an oxidative atmosphere at about  $1200^{\circ}\text{C}$  to form an oxide film (2) with a thickness of about  $0.5\text{ }\mu\text{m}$  (first oxidation);

(b) The portions of said oxide film (2) corresponding to the active regions, that is, the gate, source and drain regions, are removed by photoetching;

(c) Substrate (1) is heated again in an oxidative atmosphere at about  $1200^{\circ}\text{C}$ , forming thermal oxide film (2a) with a thickness of about  $0.1\text{ }\mu\text{m}$  on the aforementioned removed portions (secondary oxidation);

(d) Si is grown on the entire oxide film (2) on substrate (1) by a reaction between the halide compound of Si and hydrogen, forming a polysilicon Si layer (3) (thickness of  $1\text{ }\mu\text{m}$ ) by growth of Si;

(e) The portions to form source and drain are removed by photoetching oxide film (2a) on substrate (1) and polysilicon Si layer (3) formed on said oxide film (2a) to expose substrate (1), and, at the same time, to form Si gate portion (3');;

(f) A P-type impurity, such as boron, is diffused into the exposed portion on substrate (1), forming source and drain regions (4), (5) on substrate (1);

(g) By heating semiconductor substrate (1) in an oxidative atmosphere at  $1100^{\circ}\text{C}$ , a thermal oxide film (6) with a thickness of  $0.1\text{ }\mu\text{m}$  is formed.

The aforementioned heating operation is carried out at a relatively low temperature of  $1100^{\circ}\text{C}$ . The reason is to reduce the influence on source and drain regions (4), (5) which have been formed (third oxidation);

(h) On the surface of semiconductor substrate (1), a  $\text{SiO}_2$  film (7) ( $0.5 \mu\text{m}$ ) is formed using the CVD method, such as low-temperature oxidation of monosilane ( $\text{SiH}_4$ );

(i)  $\text{SiO}_2$  film (t) on the portion where the electrode is to be formed is removed using photoetching; then, Al (8) is formed by vacuum evaporation; the unneeded portion is removed using photoetching, forming the various electrodes for gate G, source S and drain D, and the element is completed.

For the semiconductor device formed in this process, as described in stage (g), a high-density thermal oxide film (6) is formed on the surface of the Si substrate including the Si gate, followed by formation of CVD oxide film (7) in operation stage (h); hence, in the etching process, there is no collapse of the Si portion, and the insulating property can be improved for the periphery of the Si gate and for the substrate surface.

As explained in the aforementioned application example, this invention can provide a type of Si gate semiconductor device with excellent insulating property and high reliability.

#### Brief explanation of the figures

Figure 1 is a cross-sectional view illustrating the state of the silicon and the insulating oxide film formed by etching. Figure 2 presents cross-sectional views illustrating the manufacturing procedure in an application example of this invention.

- 1, semiconductor substrate
- 2, oxide film
- 3, polysilicon layer
- 3', silicon gate
- 4, source
- 5, drain
- 6, oxide film formed in the third oxidation
- 7, oxide film formed in the CVD method
- 8, aluminum electrode

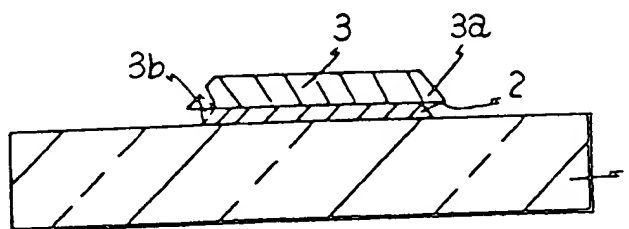


Figure 1.



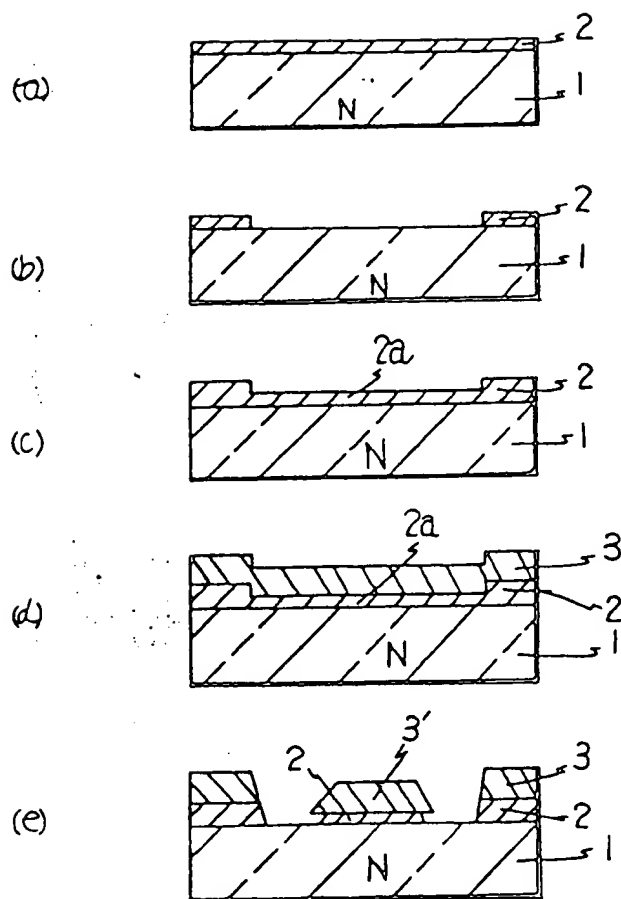


Figure 2.

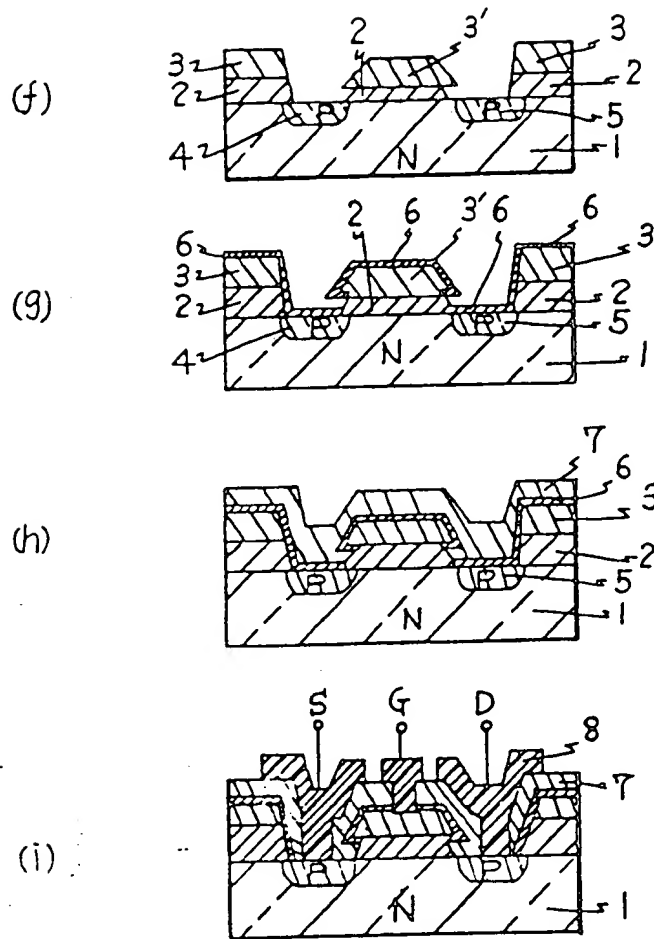


Figure 2.